

#2/3-2ade  
JC996 U.S. PTO  
09/996758  
11/30/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Tadashi OSHIMA**

Serial No.: **Not Yet Assigned**

Filed: **November 30, 2001**

For: **SEMICONDUCTOR DEVICE WITH TWO TYPES OF FET's HAVING DIFFERENT GATE LENGTHS AND ITS MANUFACTURE METHOD**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

November 30, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

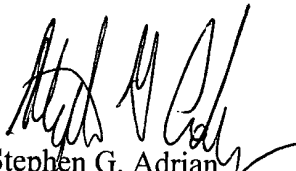
**Japanese Appln. No. 2001-020261, filed January 29, 2001**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN, HATTORI  
McLELAND & NAUGHTON, LLP

  
Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 011318  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
SGA/ll

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC996 U.S. PTO  
09/996758  
11/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月29日

出 願 番 号

Application Number:

特願2001-020261

出 願 人

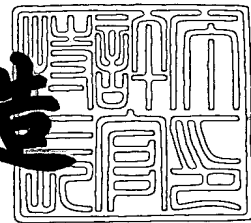
Applicant(s):

富士通株式会社

2001年 5月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3043221

【書類名】 特許願

【整理番号】 0041146

【提出日】 平成13年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/302

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 大島 正志

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100091340

    【弁理士】

    【氏名又は名称】 高橋 敬四郎

    【電話番号】 03-3832-8095

【手数料の表示】

    【予納台帳番号】 009852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9705794

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 表面内に、相互にチャネル長の異なる電界効果トランジスタが形成される第 1 の領域と第 2 の領域とが画定された半導体基板の表面上に、ゲート電極用導電膜を形成する工程と、

前記第 1 及び第 2 の領域上のゲート電極用導電膜の上に、それぞれ第 1 の絶縁材料からなる第 1 及び第 2 のゲートマスクパターンを形成する工程と、

前記第 1 及び第 2 のゲートマスクパターンの側壁上に、前記第 1 の絶縁材料とはエッチング耐性の異なる第 2 の絶縁材料からなるサイドウォールスペーサを形成する工程と、

前記第 2 の領域を、マスクパターンで覆う工程と、

前記マスクパターンをマスクとして、第 1 のゲートマスクパターンの側壁上のサイドウォールスペーサを除去する工程と、

前記マスクパターンを除去する工程と、

前記第 1 のゲートマスクパターン、第 2 のゲートマスクパターン、及び第 2 のゲートマスクパターンの側壁上に形成されているサイドウォールスペーサをマスクとして、前記ゲート電極用導電膜をエッチングし、前記第 1 及び第 2 の領域上に、それぞれ第 1 及び第 2 のゲート電極を残す工程と  
を有する半導体装置の製造方法。

【請求項 2】 前記第 1 及び第 2 のゲートマスクパターンを形成する工程が

前記ゲート電極用導電膜の上に、第 1 の絶縁材料からなるゲートマスク層を形成する工程と、

前記ゲートマスク層の上に、レジスト膜を形成する工程と、

前記レジスト膜を露光、現像し、前記第 1 のゲートマスクパターンに対応する第 1 のレジストパターン、前記第 2 のゲートマスクパターンに対応する第 2 のレジストパターン、及び前記第 2 のレジストパターンの延長線に沿って配置され、該第 2 のレジストパターンと端部同士を対向させた第 3 のレジストパターンを残

す工程であって、該第 1 ～第 3 のレジストパターンが当該露光、現像工程における最小加工線幅であり、前記第 2 のレジストパターンの端部と第 3 のレジストパターンの端部との間隔が、当該露光、現像工程における最小抜き幅であるように設定されている前記第 1 ～第 3 のレジストパターンを残す工程と、

前記第 1 ～第 3 のレジストパターンをマスクとして、前記ゲートマスク層をエッチングし、前記第 1 ～第 3 のレジストパターンに対応した第 1 ～第 3 のゲートマスクパターンを残す工程と

を含む請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 ～第 3 のゲートマスクパターンを形成する工程において、前記第 1 ～第 3 のゲートマスクパターンの線幅が、前記第 1 ～第 3 のレジストパターンの線幅よりも細くなるように前記ゲートマスク層をエッチングして、該第 1 ～第 3 のゲートマスクパターンを形成し、

前記サイドウォールスペーサを形成する工程において、前記第 2 のゲートマスクパターンとその側壁上に形成されたサイドウォールスペーサとの合計の線幅が現像直後の前記第 1 ～第 3 のレジストパターンの線幅とほぼ等しくなるように、前記サイドウォールスペーサを形成する請求項 2 に記載の半導体装置の製造方法

。

【請求項 4】 表面内に第 1 の領域と第 2 の領域とが画定された半導体基板と、

前記半導体基板の表面の第 1 の領域上に形成されたゲート電極を有する第 1 の電界効果トランジスタと、

前記半導体基板の表面の第 2 の領域上に形成されたゲート電極を有する第 2 の電界効果トランジスタと、

前記第 2 の電界効果トランジスタのゲート電極の上面上に、絶縁材料で形成され、ゲート電極の縁に沿って延在する尾根状構造物と  
を有する半導体装置。

【請求項 5】 前記尾根状構造物の、ゲート長方向と交差する方向に延在する 2 つの部分の間隔が、前記第 1 の電界効果トランジスタのゲート長とほぼ等しい請求項 4 に記載の半導体装置。

【請求項 6】 さらに、前記第 2 の電界効果トランジスタのゲート電極の上面のうち、前記尾根状構造物の配置されていない領域が金属シリサイド膜で被覆されている請求項 4 または 5 に記載の半導体装置。

【請求項 7】 表面内に、相互にチャネル長の異なる電界効果トランジスタが形成される第 1 の領域と第 2 の領域とが画定された半導体基板の表面上に、ゲート電極用導電膜を形成する工程と、

前記ゲート電極用導電膜の上面のうち、前記第 2 の領域を、第 1 の材料からなる第 1 のマスク膜で覆う工程と、

前記ゲート電極用導電膜の第 1 の領域上及び前記第 1 のマスク膜上に、前記第 1 の材料とはエッチング耐性の異なる第 2 の材料からなる第 2 のマスク膜を形成する工程と、

前記第 1 及び第 2 の領域上の前記第 2 のマスク膜の上に、ゲート電極に対応するレジストパターンを形成する工程と、

前記レジストパターンをマスクとして、前記第 2 のマスク膜及び第 1 のマスク膜をエッチングし、第 1 の領域上に、前記第 2 のマスク膜からなる第 1 のゲートマスクパターンを残し、第 2 の領域上に、前記第 1 のマスク膜と第 2 のマスク膜との積層構造を有する第 2 のゲートマスクパターンを残す工程と、

前記第 1 及び第 2 のゲートマスクパターンを構成する第 2 のマスク膜の一部をサイドエッチングする工程と、

前記第 1 及び第 2 のゲートマスクパターンをマスクとして、前記ゲート電極用導電膜をエッチングし、前記第 1 及び第 2 の領域上に、それぞれ第 1 の及び第 2 のゲート電極を残す工程と  
を有する半導体装置の製造方法。

【請求項 8】 前記レジストパターンを形成する工程において、前記第 2 の領域上に、端部同士が対向する 2 つのレジストパターンを形成し、前記第 1 の領域上に形成するレジストパターンの幅が当該工程における加工最小線幅であり、前記第 2 の領域上に形成する 2 つのレジストパターンの端部同士の間隔が、当該工程における最小抜き幅である請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 表面内に第 1 の領域と第 2 の領域とが画定された半導体基板

と、

前記半導体基板の表面の第 1 の領域上に形成されたゲート電極を有する第 1 の電界効果トランジスタと、

前記半導体基板の表面の第 2 の領域上に形成されたゲート電極を有する第 2 の電界効果トランジスタと、

前記第 2 の電界効果トランジスタのゲート電極の上に配置され、外周が、下のゲート電極の縁に整合しており、第 1 の材料で形成された第 1 の膜と、

前記第 1 の膜の上に配置され、外周が前記第 1 の膜の外周よりも内側に位置し、前記第 1 の材料とはエッチング耐性の異なる第 2 の材料で形成された第 2 の膜と、

前記第 1 の電界効果トランジスタのゲート電極の上に配置され、外周が、その下のゲート電極の外周に整合し、前記第 2 の材料で形成された第 3 の膜とを有する半導体装置。

【請求項 10】 前記第 2 の膜の、ゲート長方向の幅が、前記第 3 の膜の、ゲート長方向の幅とほぼ等しい請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特にゲート長の異なる 2 種類の電界効果トランジスタ (FET) の形成に適した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体集積回路装置に対する高速化の要求に伴い、電極形成幅もしくはフォトリソグラフィ工程における抜き幅を、プロセス限界を超えて微少化する技術が求められている。特に、スタティックランダムアクセスメモリ (SRAM) 回路と論理回路とを有する超高速半導体装置 (例えば、汎用論理回路装置、DRAM 混載論理回路装置等) において、論理回路部のみを高速化させたい場合には、論理回路部の FET のゲート長を短くする必要がある。このために、レチクルの改版

を行わなければならない。

【 0 0 0 3 】

また、波長 2 4 8 n m の K r F エキシマレーザを用いたステッパでは、線幅 0 . 2  $\mu$  m 以下のレジストパターンを、0 . 0 1  $\mu$  m 以下の標準偏差で形成することが困難である。

【 0 0 0 4 】

特開平 7 - 2 2 3 9 6 号公報、特開平 9 - 2 3 7 7 7 7 号公報、及び特開平 9 - 2 5 1 9 8 8 号公報に、加工線幅を、フォトリソグラフィの加工限界よりも細くする技術が開示されている。特開平 7 - 2 2 3 9 6 号公報に開示された技術では、エッチング用のマスクパターン自体をサイドエッチングすることにより、マスクパターンの線幅を細くしている。特開平 9 - 2 3 7 7 7 7 号公報及び特開平 9 - 2 5 1 9 8 8 号公報に開示された技術では、レジストパターンを等方的にエッチングして細らせることにより、レジストパターンを細くしている。

【 0 0 0 5 】

【発明が解決しようとする課題】

図 9 ( A ) に、論理回路部の F E T の平面図を示す。ゲート電極 2 0 2 が活性領域 2 0 0 と交差している。ゲート電極 2 0 2 は、露光及び現像直後のレジストパターン 2 0 1 を細らせたレジストパターンをマスクとしてパターンニングされる。ゲート電極 2 0 2 のゲート長（図 9 において縦方向の幅）を短くすることができるため、F E T の高速化を図ることができる。

【 0 0 0 6 】

図 9 ( B ) に、S R A M 部の F E T の平面図を示す。2 つの活性領域 2 1 0 及び 2 1 1 が相互に平行に配置されている。ゲート電極 2 1 3 及び 2 1 5 が活性領域 2 1 0 と交差し、ゲート電極 2 1 7 及び 2 1 9 が活性領域 2 1 1 と交差する。ゲート電極 2 1 7 は、ゲート電極 2 1 3 を延長した直線に沿って配置され、その端部がゲート電極 2 1 3 の端部に対向する。ゲート電極 2 1 5 と 2 1 9 との相対位置関係は、ゲート電極 2 1 3 と 2 1 7 との相対位置関係と同様である。

【 0 0 0 7 】

ゲート電極 2 1 3、2 1 5、2 1 7 及び 2 1 9 は、それぞれ露光及び現像直後



のレジストパターン 2 1 2、2 1 4、2 1 6 及び 2 1 8 を細らせたレジストパターンをマスクとして用いてパターニングされる。通常、S R A M 部の集積度を高めるために、レジストパターン 2 1 2 の端部とレジストパターン 2 1 6 の端部との間隔が、露光、現像工程における最小抜き幅になるように設定される。

## 【 0 0 0 8 】

このレジストパターン 2 1 2 と 2 1 6 とを細らせると、端部同士の間隔が広がってしまう。これにより、例えば図 9 ( B ) に示したように、ゲート電極 2 1 3 の端部が活性領域 2 1 0 の内部まで後退してしまう場合がある。ゲート電極の端部の後退を考慮して活性領域 2 1 0 及び 2 1 1 を、間隔を広げて配置すると、チップ面積が増大してしまう。

## 【 0 0 0 9 】

本発明の目的は、論理回路部においては F E T の高速化を図り、S R A M 部においては高集積化を図ることが可能な半導体装置、及びその製造方法を提供することである。

## 【 0 0 1 0 】

## 【課題を解決するための手段】

本発明の一観点によると、表面内に、相互にチャネル長の異なる電界効果トランジスタが形成される第 1 の領域と第 2 の領域とが画定された半導体基板の表面上に、ゲート電極用導電膜を形成する工程と、前記第 1 及び第 2 の領域上のゲート電極用導電膜の上に、それぞれ第 1 の絶縁材料からなる第 1 及び第 2 のゲートマスクパターンを形成する工程と、前記第 1 及び第 2 のゲートマスクパターンの側壁上に、前記第 1 の絶縁材料とはエッチング耐性の異なる第 2 の絶縁材料からなるサイドウォールスペーサを形成する工程と、前記第 2 の領域を、マスクパターンで覆う工程と、前記マスクパターンをマスクとして、第 1 のゲートマスクパターンの側壁上のサイドウォールスペーサを除去する工程と、前記マスクパターンを除去する工程と、前記第 1 のゲートマスクパターン、第 2 のゲートマスクパターン、及び第 2 のゲートマスクパターンの側壁上に形成されているサイドウォールスペーサをマスクとして、前記ゲート電極用導電膜をエッチングし、前記第 1 及び第 2 の領域上に、それぞれ第 1 及び第 2 のゲート電極を残す工程とを有す

る半導体装置の製造方法が提供される。

【 0 0 1 1 】

本発明の他の観点によると、表面内に第 1 の領域と第 2 の領域とが画定された半導体基板と、前記半導体基板の表面の第 1 の領域上に形成されたゲート電極を有する第 1 の電界効果トランジスタと、前記半導体基板の表面の第 2 の領域上に形成されたゲート電極を有する第 2 の電界効果トランジスタと、前記第 2 の電界効果トランジスタのゲート電極の上面上に、絶縁材料で形成され、ゲート電極の縁に沿って延在する尾根状構造物とを有する半導体装置が提供される。

【 0 0 1 2 】

ゲート電極をパターニングする際に、尾根状構造物をエッチングマスクとして用いると、尾根状構造物の幅だけゲート電極を広げ、かつ延ばすことができる。これにより、第 2 の領域の電界効果トランジスタのゲート長を、第 1 の領域の電界効果トランジスタのゲート長と異ならせることができる。

【 0 0 1 3 】

本発明の他の観点によると、表面内に、相互にチャネル長の異なる電界効果トランジスタが形成される第 1 の領域と第 2 の領域とが画定された半導体基板の表面上に、ゲート電極用導電膜を形成する工程と、前記ゲート電極用導電膜の上面のうち、前記第 2 の領域を、第 1 の材料からなる第 1 のマスク膜で覆う工程と、前記ゲート電極用導電膜の第 1 の領域上及び前記第 1 のマスク膜上に、前記第 1 の材料とはエッチング耐性の異なる第 2 の材料からなる第 2 のマスク膜を形成する工程と、前記第 1 及び第 2 の領域上の前記第 2 のマスク膜の上に、ゲート電極に対応するレジストパターンを形成する工程と、前記レジストパターンをマスクとして、前記第 2 のマスク膜及び第 1 のマスク膜をエッチングし、第 1 の領域上に、前記第 2 のマスク膜からなる第 1 のゲートマスクパターンを残し、第 2 の領域上に、前記第 1 のマスク膜と第 2 のマスク膜との積層構造を有する第 2 のゲートマスクパターンを残す工程と、前記第 1 及び第 2 のゲートマスクパターンを構成する第 2 のマスク膜の一部をサイドエッチングする工程と、前記第 1 及び第 2 のゲートマスクパターンをマスクとして、前記ゲート電極用導電膜をエッチングし、前記第 1 及び第 2 の領域上に、それぞれ第 1 の及び第 2 のゲート電極を残す

工程とを有する半導体装置の製造方法が提供される。

【0014】

本発明の他の観点によると、表面内に第1の領域と第2の領域とが画定された半導体基板と、前記半導体基板の表面の第1の領域上に形成されたゲート電極を有する第1の電界効果トランジスタと、前記半導体基板の表面の第2の領域上に形成されたゲート電極を有する第2の電界効果トランジスタと、前記第2の電界効果トランジスタのゲート電極の上に配置され、外周が、下のゲート電極の縁に整合しており、第1の材料で形成された第1の膜と、前記第1の膜の上に配置され、外周が前記第1の膜の外周よりも内側に位置し、前記第1の材料とはエッチング耐性の異なる第2の材料で形成された第2の膜と、前記第1の電界効果トランジスタのゲート電極の上に配置され、外周が、その下のゲート電極の外周に整合し、前記第2の材料で形成された第3の膜とを有する半導体装置が提供される。

【0015】

ゲート電極のパターニングを行う際に、第1の領域においては第3の膜をエッチングマスクとして用い、第2の領域においては、第1の膜をエッチングマスクとして用いることにより、第2の領域の電界効果トランジスタのゲート長を、第1の領域の電界効果トランジスタのゲート長と異ならせることができる。

【0016】

【発明の実施の形態】

図1及び図2を参照して、本発明の第1の実施例による半導体装置の構造について説明する。

【0017】

図1(A)は、第1の実施例による半導体装置の論理回路部のFETの平面図を示す。ゲート電極2が活性領域1と交差し、活性領域1がソース領域3とドレイン領域4とに区分されている。

【0018】

図1(B)は、第1の実施例による半導体装置のSRAM部のFETの平面図を示す。活性領域5と6とが、相互に平行に配置されている。ゲート電極7及び

8が活性領域5と交差し、ゲート電極9及び10が活性領域6と交差している。ゲート電極9は、ゲート電極7を延長した直線に沿って配置され、ゲート電極7の端部がゲート電極9の端部に対向している。ゲート電極8と10との相対位置関係は、ゲート電極7と9との相対位置関係と同様である。ゲート電極7～10の上面の上に、それぞれゲート電極の縁に沿って延在する尾根状構造物11～14が配置されている。

## 【0019】

尾根状構造物11～14の各々の、ゲート長方向（図1（B）においては縦方向）と交差する2つの部分（図1（B）においては横方向に延在する部分）の間隔W2は、図1（A）に示したFETのゲート長W1と等しい。

## 【0020】

図2の左図及び右図は、それぞれ図1（A）の一点鎖線A2L-A2Lにおける断面図及び図1（B）の一点鎖線A2R-A2Rにおける断面図を示す。

## 【0021】

図2に示すように、シリコン基板20の活性領域1の一部の表面上に、ゲート絶縁膜21を介して多結晶シリコンからなるゲート電極2が形成されている。ゲート電極2の上面は、コバルトシリサイド膜23で覆われている。ゲート電極2の側壁上に、酸化シリコンからなるサイドウォールスペーサ22が形成されている。サイドウォールスペーサ22の頂部は、コバルトシリサイド膜23の上面よりも上まで突出している。

## 【0022】

ゲート電極2の両側に、低濃度ドレイン構造（LDD構造）のソース領域3及びドレイン領域4が形成されている。ソース領域3及びドレイン領域4の上面が、それぞれコバルトシリサイド膜24及び25で覆われている。

## 【0023】

活性領域5の一部の表面上に、ゲート絶縁膜31を介して多結晶シリコンからなるゲート電極7が形成されている。ゲート電極7の上面の上に、その縁に沿って延在する尾根状構造物11が配置されている。尾根状構造物11は、酸化シリコンで形成されている。

## 【 0 0 2 4 】

ゲート電極 7 の上面のうち尾根状構造物 1 1 で囲まれた領域が、コバルトシリサイド膜 3 3 で覆われている。ゲート電極 7 の側面及び尾根状構造物 1 1 の外周側の面上に、酸化シリコンからなるサイドウォールスペーサ 3 2 が形成されている。ゲート電極 7 の両側に、LDD 構造のソース領域 3 4 及び 3 5 が形成されている。ソース領域 3 4 及びドレイン領域 3 5 の上面が、それぞれコバルトシリサイド膜 3 6 及び 3 7 で覆われている。

## 【 0 0 2 5 】

次に、図 3 及び図 4 を参照して、第 1 の実施例による半導体装置の製造方法について説明する。図 3 及び図 4 の各図の左図は、図 1 (A) の一点鎖線 A 2 L - A 2 L における断面図に対応し、右図は、図 1 (B) の一点鎖線 A 2 R - A 2 R における断面図に対応する。

## 【 0 0 2 6 】

図 3 (A) に示したシリコン基板 2 0 の表面層に、所望の p 型ウェル及び n 型ウェルを形成し、LOCOS もしくはシャロートレンチにより素子分離領域を形成する。素子分離領域により、活性領域 1 及び 5 が画定される。

## 【 0 0 2 7 】

シリコン基板 2 0 の表面上に、熱酸化により厚さ 4 nm のゲート絶縁膜 2 1 及び 3 1 を形成する。ゲート絶縁膜 2 1 及び 3 1 の上に、多結晶シリコンからなる厚さ 180 nm のゲート電極用導電膜 4 0 を形成する。ゲート電極用導電膜 4 0 は、例えば化学気相成長 (CVD) により形成される。

## 【 0 0 2 8 】

ゲート電極用導電膜 4 0 の上に、厚さ 50 nm の窒化シリコン膜 4 1 を、熱 CVD により形成する。なお、プラズマ CVD により厚さ 100 nm の窒化シリコン膜を形成してもよい。プラズマ CVD を用いる場合に、窒化シリコン膜の厚さを、熱 CVD で形成する窒化シリコン膜の厚さと異ならせているのは、成膜方法によって窒化シリコンの屈折率が相違するためである。また、窒化シリコン膜の上もしくは下に、反射防止膜として厚さ 30 nm の酸化窒化シリコン膜を形成してもよい。

## 【0029】

活性領域1及び5の上の窒化シリコン膜41の上に、それぞれゲート電極に対応するレジストパターン42及び43を形成する。レジストパターン42及び43は、波長248nmのKrFエキシマレーザを用いた露光及び現像により形成される。レジストパターン42及び43の、ゲート長方向の幅W3は、当該フォトリソグラフィ工程における最小加工線幅である。

## 【0030】

レジストパターン43は、図1(B)に示したゲート電極7に対応する。図3(A)には現れていないが、レジストパターン43と同時に、図1(B)に示したゲート電極8、9及び10に対応するレジストパターンも形成される。ゲート電極7に対応するレジストパターンの端部とゲート電極9に対応するレジストパターンの端部との間隔は、当該フォトリソグラフィ工程における最小抜き幅に等しい。

## 【0031】

図3(B)に示す状態に至るまでの工程を説明する。窒素ガスと酸素ガスとの混合ガスを用いて、レジストパターン42及び43を部分的にエッチングすることにより、レジストパターン42及び43を細らせる。窒素ガス及び酸素ガスの流量を、例えばそれぞれ100sccm及び10sccm、圧力を6.65Pa(50mTorr)、プラズマ発生のため的高周波電力を300Wとする。細ったレジストパターン42及び43をマスクとして、窒化シリコン膜41をエッチングする。活性領域1の上にゲートマスクパターン41aが残り、活性領域5の上にゲートマスクパターン41bが残る。窒化シリコン膜41のエッチングは、 $CF_4$ と $CHF_3$ とArとn混合ガスを用いた反応性イオンエッチングにより行われる。窒化シリコン膜41のエッチング後、レジストパターン42及び43を除去する。レジストパターン42及び43自体が現像直後に比べて細くなっているため、その下に残されるゲートマスクパターン41a及び41bの線幅が、現像直後のレジストパターン42及び43の線幅W3よりも細くなる。

## 【0032】

現像直後のレジストパターン42及び43の線幅W3の平均が186.8nm

、線幅の $3\sigma$ が $21.8\text{ nm}$ であった。このときのゲートマスクパターン41a及び41bの線幅の平均が $142.2\text{ nm}$ 、線幅の $3\sigma$ が $16.7\text{ nm}$ であった。

#### 【0033】

図3(C)に示す状態に至るまでの工程を説明する。ゲートマスクパターン41a及び41bを覆うように、窒化シリコン膜40の上に酸化シリコン膜を形成する。

#### 【0034】

酸化シリコン膜の形成は、例えば熱CVDにより行われる。この酸化シリコン膜を異方性エッチングすることにより、ゲートマスクパターン41a及び41bの側壁上に、サイドウォールスペーサ11を残す。酸化シリコン膜の異方性エッチングは、 $\text{CF}_4$ 、 $\text{CHF}_3$ 、及びArの混合ガスを用いたRIEにより行う。 $\text{CF}_4$ 、 $\text{CHF}_3$ 、及びArの流量を、それぞれ $40\text{ sccm}$ 、 $50\text{ sccm}$ 、及び $800\text{ sccm}$ とし、圧力を $213\text{ Pa}$  ( $1.6\text{ Torr}$ )とし、プラズマ発生のため的高周波電力を $500\text{ W}$ とする。

#### 【0035】

このとき、ゲートマスクパターン41bとその側壁上に形成されたサイドウォールスペーサ11との合計の線幅W4が、図3(A)に示したレジストパターン43の線幅W3とほぼ等しくなるように、酸化シリコン膜の膜厚及び異方性エッチングの時間を設定する。

#### 【0036】

活性領域5の表面をレジストパターン44で覆う。活性領域1の表面は露出している。

#### 【0037】

図4(D)に示すように、活性領域1の上のサイドウォールスペーサ11を除去する。サイドウォールスペーサ11の除去は、フッ酸を用いた等方性のウェットエッチングにより行うことができる。その後、レジストパターン44を除去する。

#### 【0038】

図 4 (E) に示すように、活性領域 1 においては、ゲートマスクパターン 4 1 a をマスクとし、活性領域 5 においては、ゲートマスクパターン 4 1 b とその側壁上のサイドウォールスペーサ 1 1 とをマスクとして、ゲート電極用導電膜 4 0 をエッチングする。このエッチングは、HBr と  $O_2$  とを用いた RIE により行う。HBr 及び  $O_2$  の流量をそれぞれ 100 sccm 及び 2 sccm とし、圧力を 665 mPa (5 mTorr) とし、プラズマ発生のための高周波電力を 30 W とする。

## 【0039】

活性領域 1 の上に、ゲート電極 2 が残り、活性領域 5 の上にゲート電極 7 が残る。ゲート電極 2 の線幅 (ゲート長)  $W_1$  は、図 3 (A) に示した加工最小線幅  $W_3$  よりも細い。ゲート電極 7 の線幅 (ゲート長)  $W_4$  は、図 3 (A) に示した加工最小線幅  $W_3$  とほぼ等しい。また、図 1 (B) に示した間隔  $W_5$  は、現像直後のレジストパターンの間隔とほぼ等しい。

## 【0040】

ゲート電極 2 及び 7 をマスクとして、ソース及びドレインの低濃度領域を形成するためのイオン注入を行う。これにより、低濃度領域 3 a、4 a、3 4 a 及び 3 5 a が形成される。

## 【0041】

図 4 (F) に示すように、ゲート電極 2 とゲートマスクパターン 4 1 a との積層構造の側壁上に、酸化シリコンからなるサイドウォールスペーサ 2 2 を形成する。また、ゲート電極 7 の側壁とサイドウォールスペーサ 1 1 の外周面上に、酸化シリコンからなるサイドウォールスペーサ 3 2 を形成する。サイドウォールスペーサ 2 2 及び 3 2 は、全面に酸化シリコン膜を堆積した後、この酸化シリコン膜を異方性エッチングすることにより形成される。イオン注入を行い、ソース領域 3 とドレイン領域 4、及びソース領域 3 4 とドレイン領域 3 5 を形成する。

## 【0042】

イオン注入後、熱リン酸を用いてゲートマスクパターン 4 1 a 及び 4 1 b を除去する。図 2 に示すように、ソース領域 3、3 4、ドレイン領域 4、3 5、ゲート電極 2 及び 7 の露出した表面上に、それぞれコバルトシリサイド膜 2 4、3 6



、25、37、23及び33を形成する。

【0043】

以下に、コバルトシリサイド膜の形成方法について、簡単に説明する。まず、基板の全面上に厚さ10nmのコバルト膜と厚さ30nmのTiN膜とを順番に積層する。熱処理を行い、コバルト膜とシリコンとの界面でシリサイド反応を生じさせる。その後、TiN膜及び未反応のコバルト膜を除去する。

【0044】

上記第1の実施例では、図1(A)に示した論理回路部のFETのゲート長 $W_1$ を、図3(A)に示した最小加工線幅 $W_3$ よりも細くすることができる。これにより、論理回路部の高速化を図ることができる。

【0045】

図1(B)に示したSRAM部のFETのゲート長 $W_4$ は、最小加工線幅 $W_3$ とほぼ等しい。また、ゲート電極7の端部とゲート電極9の端部との間隔 $W_5$ は、図3(A)のレジストパターン42及び43を形成するフォトリソグラフィ工程における最小抜き幅にほぼ等しい。すなわち、SRAM部の各構成部分の寸法は、図3(B)に示したエッチング工程でゲートマスクパターン41a及び41bを細らせない場合の寸法とほぼ等しい。このため、論理回路部のFETのゲート長とSRAM部のFETのゲート長とが等しい世代の半導体装置のレチクルを改版することなく、論理回路部のFETのゲート長のみを短くし、高速化を図ることができる。論理回路部のFETのゲート長を短くしてもSRAM部の各素子の寸法が変動しないため、SRAM部の設計変更を行う必要はない。

【0046】

また、図1(B)に示したように、ゲート電極7の端部とゲート電極9の端部との間隔 $W_5$ を、最小抜き幅とほぼ同程度に狭くすることができる。このため、SRAM部において、ゲート電極の端部が活性領域内まで後退してしまうという不都合も生じない。

【0047】

次に、図5及び図6を参照して、本発明の第2の実施例による半導体装置の構造について説明する。

## 【 0 0 4 8 】

図 5 (A) は、第 2 の実施例による半導体装置の論理回路部の F E T の平面図を示す。ゲート電極 1 0 2 が活性領域 1 0 1 と交差し、活性領域 1 0 1 がソース領域 1 0 3 とドレイン領域 1 0 4 とに区分されている。

## 【 0 0 4 9 】

図 5 (B) は、第 1 の実施例による半導体装置の S R A M 部の F E T の平面図を示す。活性領域 1 0 5 と 1 0 6 とが、相互に平行に配置されている。ゲート電極 1 0 7 及び 1 0 8 が活性領域 1 0 5 と交差し、ゲート電極 1 0 9 及び 1 1 0 が活性領域 1 0 6 と交差している。ゲート電極 1 0 9 は、ゲート電極 1 0 7 を延長した直線に沿って配置されており、その端部がゲート電極 1 0 7 の端部に、間隔 W 1 5 を隔てて対向する。ゲート電極 1 0 8 と 1 1 0 との相対位置関係は、ゲート電極 1 0 7 と 1 0 9 との相対位置関係と同様である。ゲート電極 1 0 7 ~ 1 1 0 の上面の、縁近傍を除いた領域上に、それぞれゲートマスクパターン 1 1 1 b ~ 1 1 4 b が配置されている。

## 【 0 0 5 0 】

ゲートマスクパターン 1 1 1 b ~ 1 1 4 b の各々のゲート長方向 (図 5 (B) においては縦方向) の幅 W 1 2 は、図 5 (A) に示した F E T のゲート長 W 1 1 と等しい。S R A M 部の F E T のゲート長 W 1 4 は、論理回路部の F E T のゲート長 W 1 1 よりも長い。

## 【 0 0 5 1 】

図 6 の左図及び右図は、それぞれ図 5 (A) の一点鎖線 A 6 L - A 6 L における断面図及び図 5 (B) の一点鎖線 A 6 R - A 6 R における断面図を示す。

## 【 0 0 5 2 】

図 6 に示すように、シリコン基板 1 2 0 の活性領域 1 0 1 の一部の表面上に、ゲート絶縁膜 1 2 1 を介して多結晶シリコンからなるゲート電極 1 0 2 が形成されている。ゲート電極 1 0 2 の上面は、酸化シリコンからなるゲートマスクパターン 1 1 1 a で覆われている。ゲート電極 1 0 2 及びゲートマスクパターン 1 1 1 a の側壁上に、酸化シリコンからなるサイドウォールスペーサ 1 2 2 が形成されている。

## 【 0 0 5 3 】

ゲート電極 1 0 2 の両側に、低濃度ドレイン構造（LDD構造）のソース領域 1 0 3 及びドレイン領域 1 0 4 が形成されている。ソース領域 1 0 3 及びドレイン領域 1 0 4 の上面が、それぞれコバルトシリサイド膜 1 2 4 及び 1 2 5 で覆われている。

## 【 0 0 5 4 】

活性領域 1 0 5 の一部の表面上に、ゲート絶縁膜 1 3 1 を介して多結晶シリコンからなるゲート電極 1 0 7 が形成されている。ゲート電極 1 0 7 の上面が、窒化シリコンからなるゲートマスクパターン 1 2 3 b で覆われている。ゲートマスクパターン 1 2 3 b の上面のうち、縁の近傍を除く領域が、酸化シリコンからなる 2 層目のゲートマスクパターン 1 1 1 b で覆われている。ゲート電極 1 0 7、ゲートマスクパターン 1 2 3 b 及び 1 1 1 b の側面上に、酸化シリコンからなるサイドウォールスペーサ 1 3 2 が形成されている。

## 【 0 0 5 5 】

ゲート電極 1 0 7 の両側に、LDD構造のソース領域 1 3 4 及び 1 3 5 が形成されている。ソース領域 1 3 4 及びドレイン領域 1 3 5 の上面が、それぞれコバルトシリサイド膜 1 3 6 及び 1 3 7 で覆われている。

## 【 0 0 5 6 】

次に、図 7 及び図 8 を参照して、第 2 の実施例による半導体装置の製造方法について説明する。図 7 及び図 8 の各図の左図は、図 5（A）の一点鎖線 A 6 L - A 6 L における断面図に対応し、右図は、図 5（B）の一点鎖線 A 6 R - A 6 R における断面図に対応する。

## 【 0 0 5 7 】

図 7（A）に示したシリコン基板 1 2 0 の表面層に、所望の p 型ウェル及び n 型ウェルを形成し、LOCOS もしくはシャロートレンチにより素子分離領域を形成する。素子分離領域により、活性領域 1 0 1 及び 1 0 5 が画定される。

## 【 0 0 5 8 】

シリコン基板 1 2 0 の表面を熱酸化することにより、厚さ 4 nm のゲート絶縁膜 1 2 1 及び 1 3 1 を形成する。ゲート絶縁膜 1 2 1 及び 1 3 1 の上に、多結晶

シリコンからなる厚さ 180 nm のゲート電極用導電膜 140 を、CVD により形成する。なお、ゲート電極の低抵抗化を図るために、ゲート電極用導電膜 140 を、多結晶シリコン層とタングステンシリサイド (WSi) 層との 2 層構造としてもよい。

## 【 0 0 5 9 】

ゲート電極用導電膜 140 の上に、厚さ 50 nm の窒化シリコン膜 123 を、熱 CVD により形成する。なお、第 1 の実施例の場合と同様に、プラズマ CVD により厚さ 100 nm の窒化シリコン膜を形成してもよい。また、窒化シリコン膜の上もしくは下に、反射防止膜として厚さ 30 nm の酸化窒化シリコン膜を形成してもよい。

## 【 0 0 6 0 】

活性領域 105 上の窒化シリコン膜 123 の表面を、レジストパターン 142 で覆う。活性領域 101 上の窒化シリコン膜 123 の表面は露出している。レジストパターン 142 をマスクとし、活性領域 101 上の窒化シリコン膜 123 をエッチングする。その後、レジストパターン 142 を除去する。

## 【 0 0 6 1 】

図 7 (B) に示すように、基板の全面上に厚さ 70 nm の酸化シリコン膜 111 を形成する。

## 【 0 0 6 2 】

図 7 (C) に示すように、酸化シリコン膜 111 の上に、ゲート電極に対応したレジストパターン 143 を形成する。レジストパターン 143 の線幅 W13 は、当該フォトリソグラフィ工程における最小加工線幅に等しい。図 7 (C) の右図に示したレジストパターン 143 は、図 5 (B) に示したゲート電極 107 に対応する。図 7 (C) には表されていないが、図 5 (B) に示したゲート電極 108 ~ 110 に対応するレジストパターンも形成される。ゲート電極 107 に対応するレジストパターンの端部とゲート電極 109 に対応するレジストパターンの端部との間隔は、当該フォトリソグラフィ工程における最小抜き幅に等しい。

## 【 0 0 6 3 】

図 7 (D) に示すように、レジストパターン 143 をマスクとして、酸化シリ

コン膜 111 及び窒化シリコン膜 123 をエッチングする。このエッチングは、 $\text{CF}_4$  と  $\text{CHF}_3$  と  $\text{Ar}$  との混合ガスを用いた異方性の RIE により行うことができる。異方性エッチングを行ったのち、酸化シリコン膜 111 のみを等方的にエッチングする。この等方的なエッチングは、例えばダウンフローエッチャを用い、 $\text{CF}_4$  及び  $\text{O}_2$  の流量をそれぞれ 800 sccm 及び 130 sccm、圧力を 133 Pa (1 Torr)、入力高周波電力を 1000 W とした条件で行うことができる。酸化シリコンからなるゲートマスクパターン 111a 及び 111b が、その端面から横方向にサイドエッチングされる。

## 【0064】

図 8 (E) に示すように、活性領域 101 上に、酸化シリコンからなるゲートマスクパターン 111a が残り、活性領域 105 上に、窒化シリコンからなるゲートマスクパターン 123b と酸化シリコンからなるゲートマスクパターン 111b との積層構造が残る。ゲートマスクパターン 111a の線幅  $W_{11}$  は、図 7 (C) に示した最小加工線幅  $W_{13}$  よりも細くなる。ゲートマスクパターン 123b の線幅  $W_{14}$  は、図 7 (C) に示した最小加工線幅  $W_{13}$  とほぼ等しい。

## 【0065】

酸化シリコンの等方的なエッチングを行った後、レジストパターン 143 を除去する。

## 【0066】

図 8 (F) に示すように、活性領域 101 上においてはゲートマスクパターン 111a をマスクとし、活性領域 105 上においてはゲートマスクパターン 123b をマスクとして、ゲート電極用導電膜 140 をエッチングする。活性領域 101 上に、フォトリソグラフィ工程における加工最小線幅よりも細いゲート電極 102 が残る。活性領域 107 上に、フォトリソグラフィ工程における加工最小線幅とほぼ等しい線幅のゲート電極 107 が残る。

## 【0067】

ゲート電極 102 及び 107 をマスクとして、ソース及びドレインの低濃度領域を形成するためのイオン注入を行う。これにより、低濃度領域 103a、104a、134a 及び 135a が形成される。

## 【 0 0 6 8 】

図 8 ( G ) に示すように、ゲート電極 1 0 2 とゲートマスクパターン 1 1 1 a との積層構造の側壁上に、酸化シリコンからなるサイドウォールスペーサ 1 2 2 を形成する。また、ゲート電極 1 0 7、ゲートマスクパターン 1 2 3 b 及び 1 1 1 b の側壁上に、酸化シリコンからなるサイドウォールスペーサ 1 3 2 を形成する。イオン注入を行い、ソース領域 1 0 3 とドレイン領域 1 0 4、及びソース領域 1 3 4 とドレイン領域 1 3 5 を形成する。

## 【 0 0 6 9 】

イオン注入後、図 6 に示したように、ソース領域 1 0 3、1 3 4、及びドレイン領域 1 0 4、1 3 5 の露出した表面上に、それぞれコバルトシリサイド膜 1 2 4、1 3 6、1 2 5、及び 1 3 7 を形成する。

## 【 0 0 7 0 】

第 2 の実施例による半導体装置においても、第 1 の実施例の場合と同様に、図 5 ( A ) に示した論理回路部の F E T のゲート長  $W_{11}$  を、フォトリソグラフィ工程における最小加工線幅よりも短くすることができる。また、図 5 ( B ) に示した S R A M 部の F E T のゲート長  $W_{14}$  を、最小加工線幅とほぼ等しくすることができる。また、ゲート電極 1 0 7 の端部とゲート電極 1 0 9 の端部との間隔  $W_{15}$  は、フォトリソグラフィ工程における最小抜き幅とほぼ等しい。このため、第 2 の実施例は、第 1 の実施例と同様の効果を奏する。

## 【 0 0 7 1 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

## 【 0 0 7 2 】

## 【発明の効果】

以上説明したように、本発明によれば、基板表面内のある領域においては、F E T のゲート長を、フォトリソグラフィ工程における最小加工線幅よりも短くし、他の領域においては、F E T のゲート長を、フォトリソグラフィ工程における最小加工線幅とほぼ等しくすることができる。ゲート長を短くした領域の集積回

路の動作速度を向上させることができる。また、他の領域においては、ゲート長を短くした影響を受けることなく、従来からの設計を踏襲することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施例による半導体装置の平面図である。

【図 2】

第 1 の実施例による半導体装置の断面図である。

【図 3】

第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 4】

第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 5】

第 2 の実施例による半導体装置の平面図である。

【図 6】

第 2 の実施例による半導体装置の断面図である。

【図 7】

第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 8】

第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 9】

従来の半導体装置の製造方法により、論理回路部と S R A M 部とを有する半導体装置を作製したときの F E T 部分の平面図である。

【符号の説明】

1、5、6、101、105、106 活性領域

2、7、8、9、10、102、107、108、109、110 ゲート電極

3、34、103、134 ソース領域

4、35、104、135 ドレイン領域

11、12、13、14 尾根状構造物

20、120 シリコン基板

21、31、121、131 ゲート絶縁膜

22、32、122、132 サイドウォールスペーサ

23、24、25、33、36、37、124、125、136、137 コバ

ルトシリサイド膜

40、140 ゲート電極用導電膜

41、123 窒化シリコン膜

41a、41b、111a、111b～114b、123b ゲートマスクパター

ン

42、43、44、142、143 レジストパターン

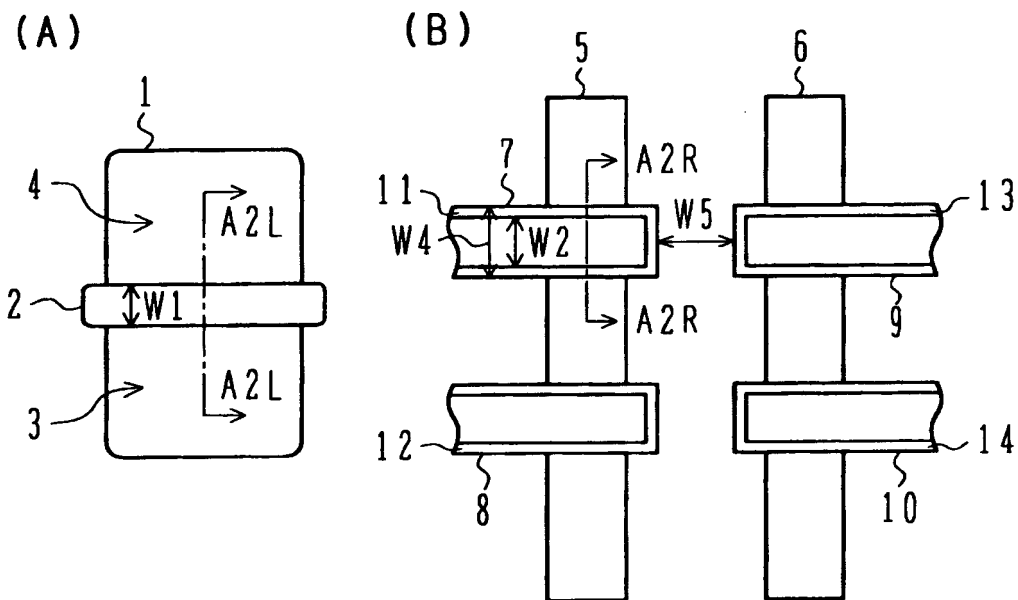
111 酸化シリコン膜



【書類名】 図面

【図 1】

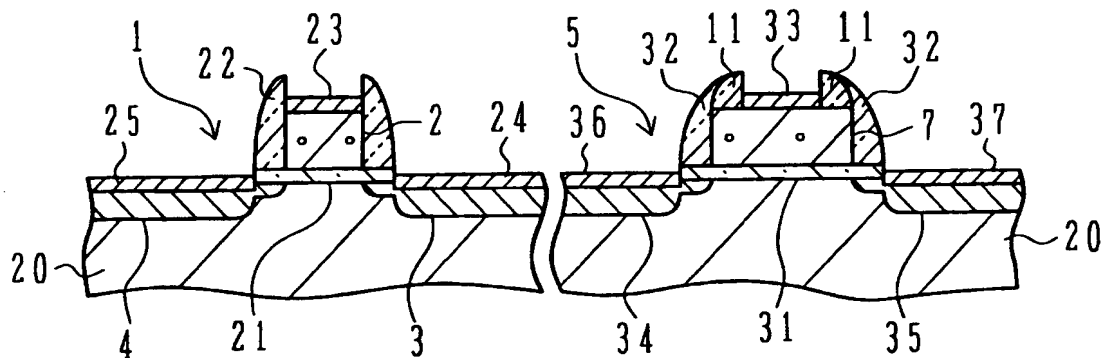
第 1 の実施例による半導体装置



1, 5, 6: 活性領域  
 2, 7, 8, 9, 10: ゲート電極  
 11, 12, 13, 14: 尾根状構造物

【図 2】

第 1 の実施例による半導体装置

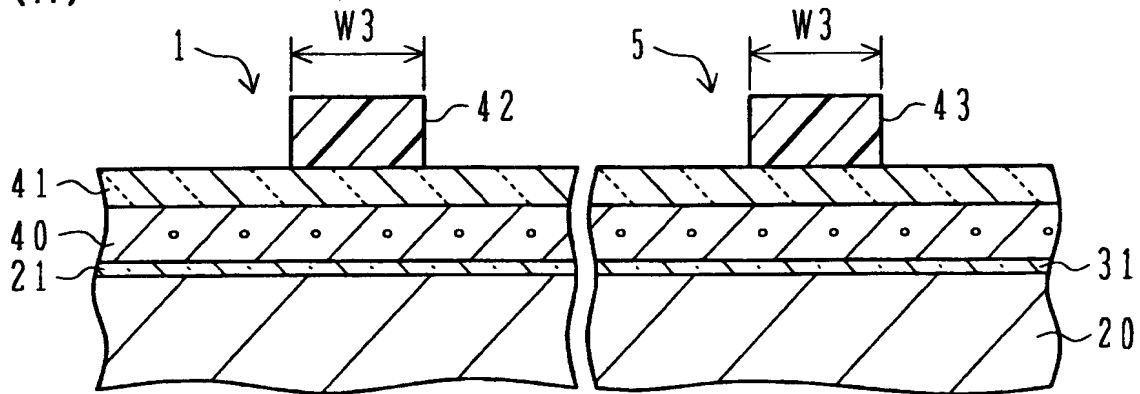


- 1, 5 : 活性領域
- 2, 7 : ゲート電極
- 3, 34 : ソース領域
- 4, 35 : ドレイン領域
- 11 : 尾根状構造物
- 20 : シリコン基板
- 21, 31 : ゲート絶縁膜
- 22, 32 : サイドウォールスペーサ
- 23, 24, 25, 33, 36, 37 : コバルトシリサイド膜

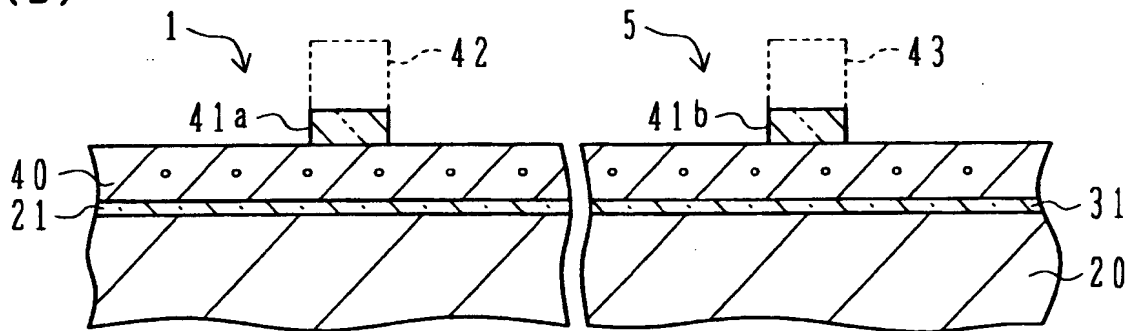
【図 3】

第 1 の実施例による半導体装置の製造方法（その 1）

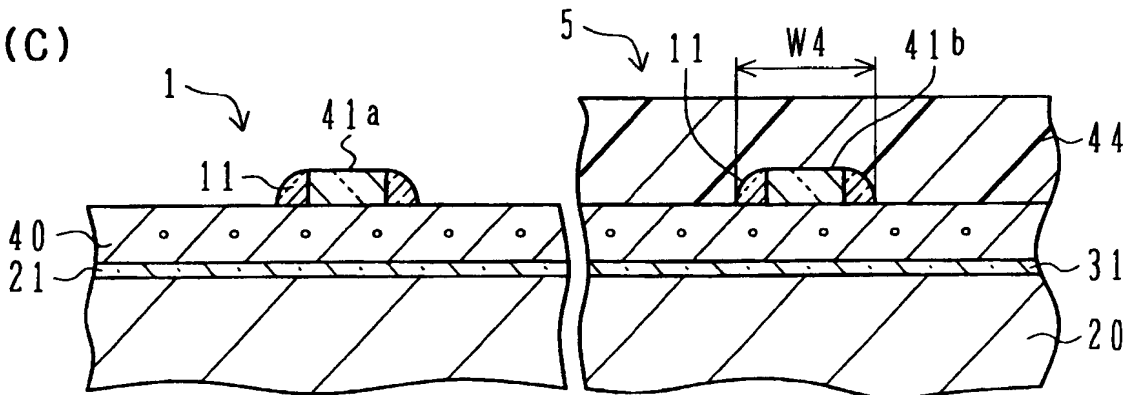
(A)



(B)

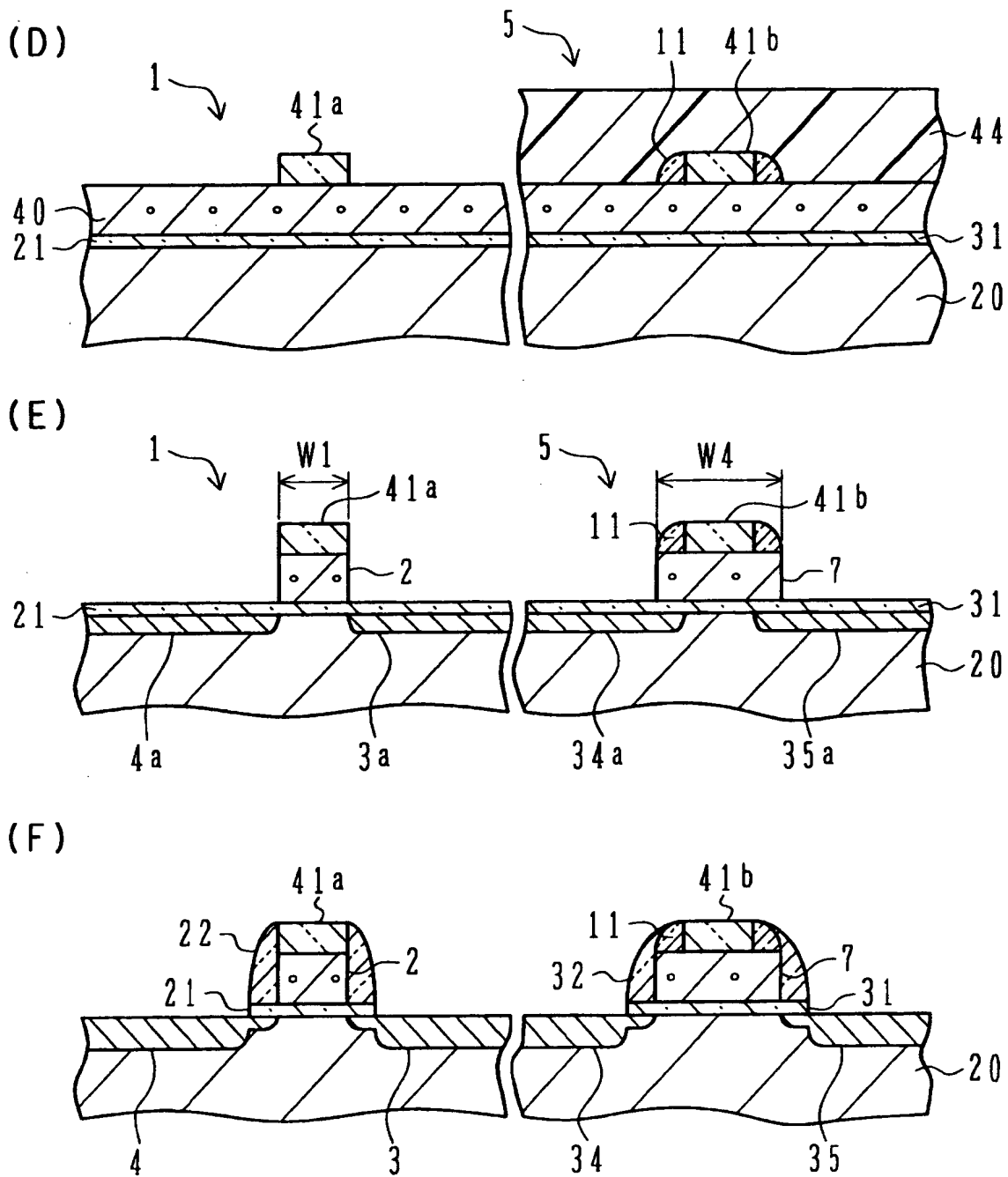


(C)



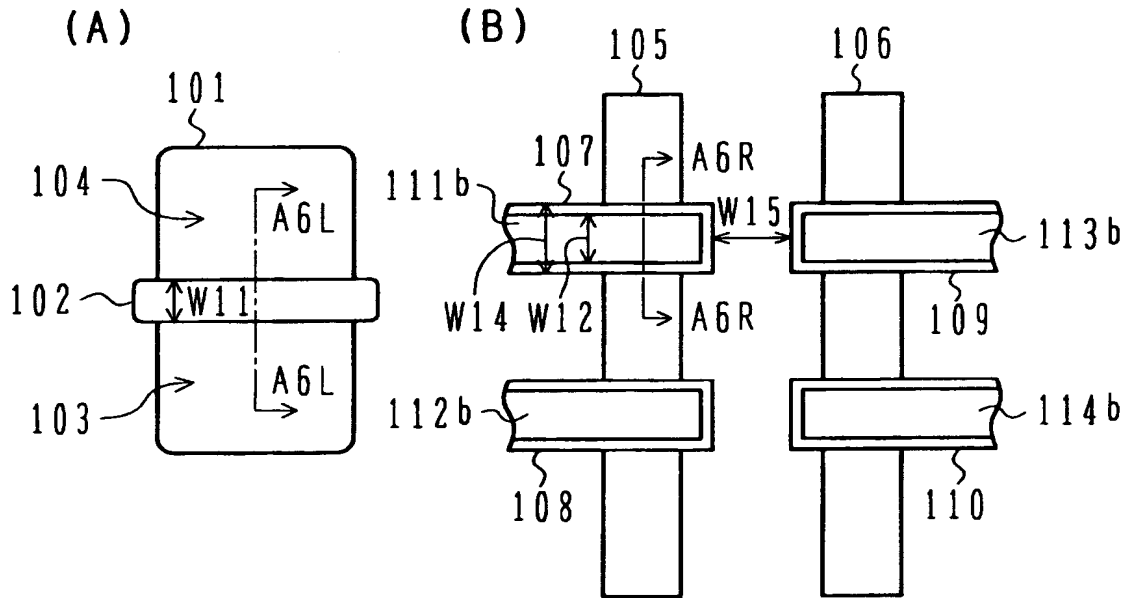
【図 4】

第 1 の実施例による半導体装置の製造方法（その 2）



【図 5】

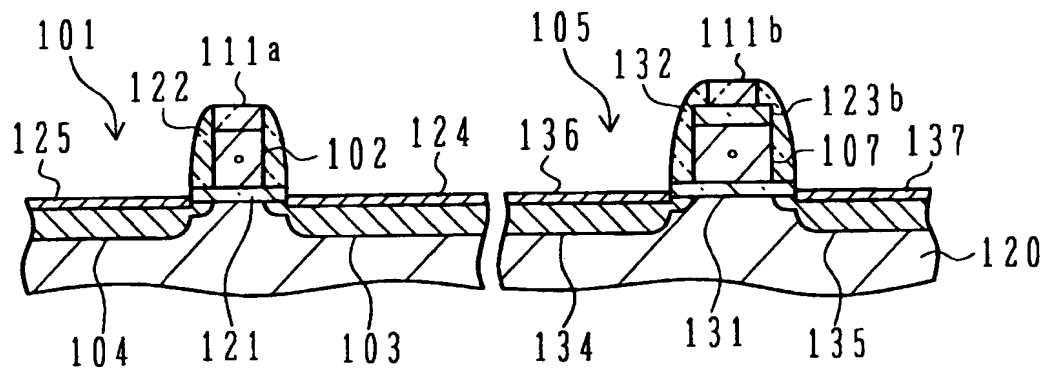
第 2 の実施例による半導体装置



101, 105, 106: 活性領域  
 102, 107~110: ゲート電極

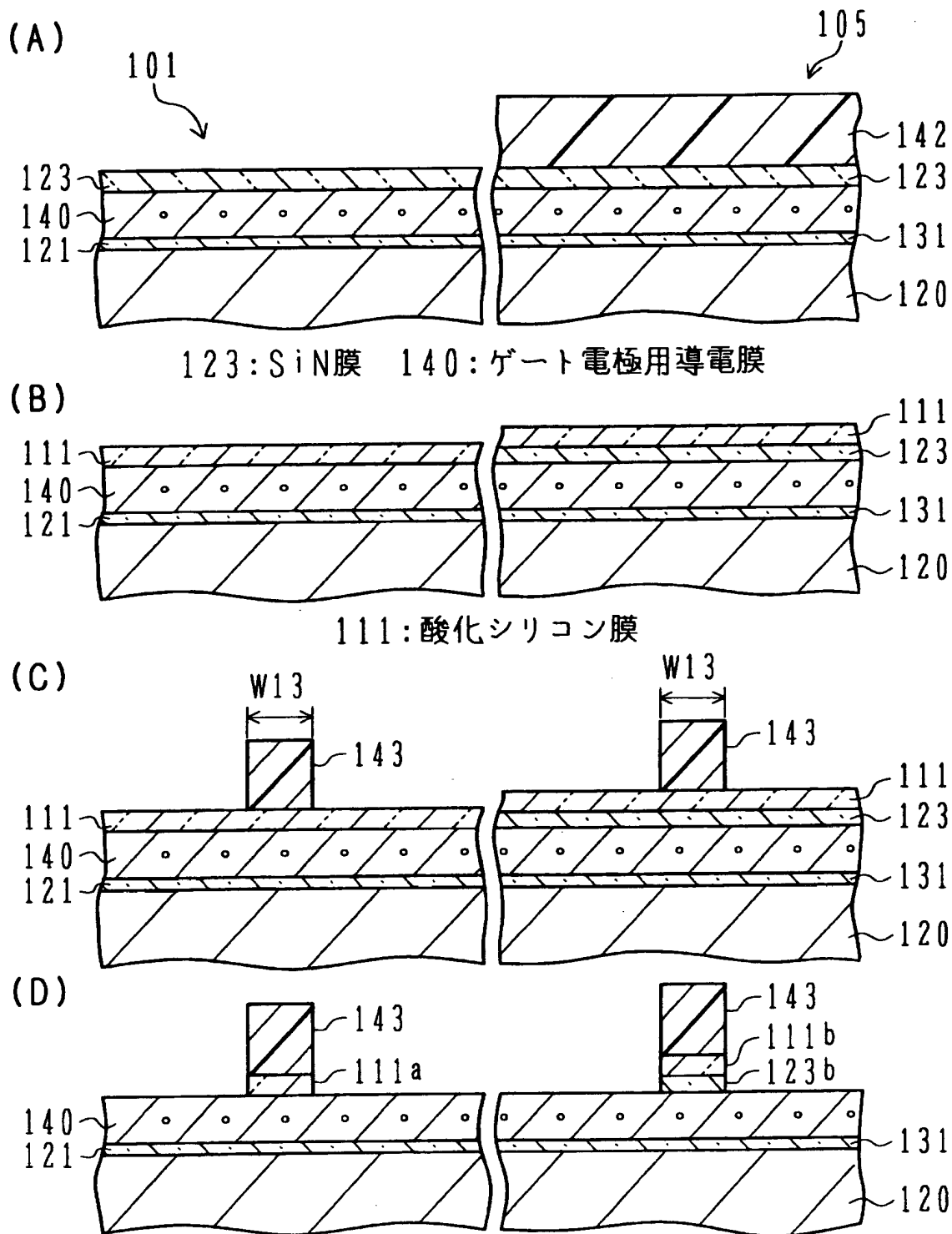
【図 6】

第 2 の実施例による半導体装置



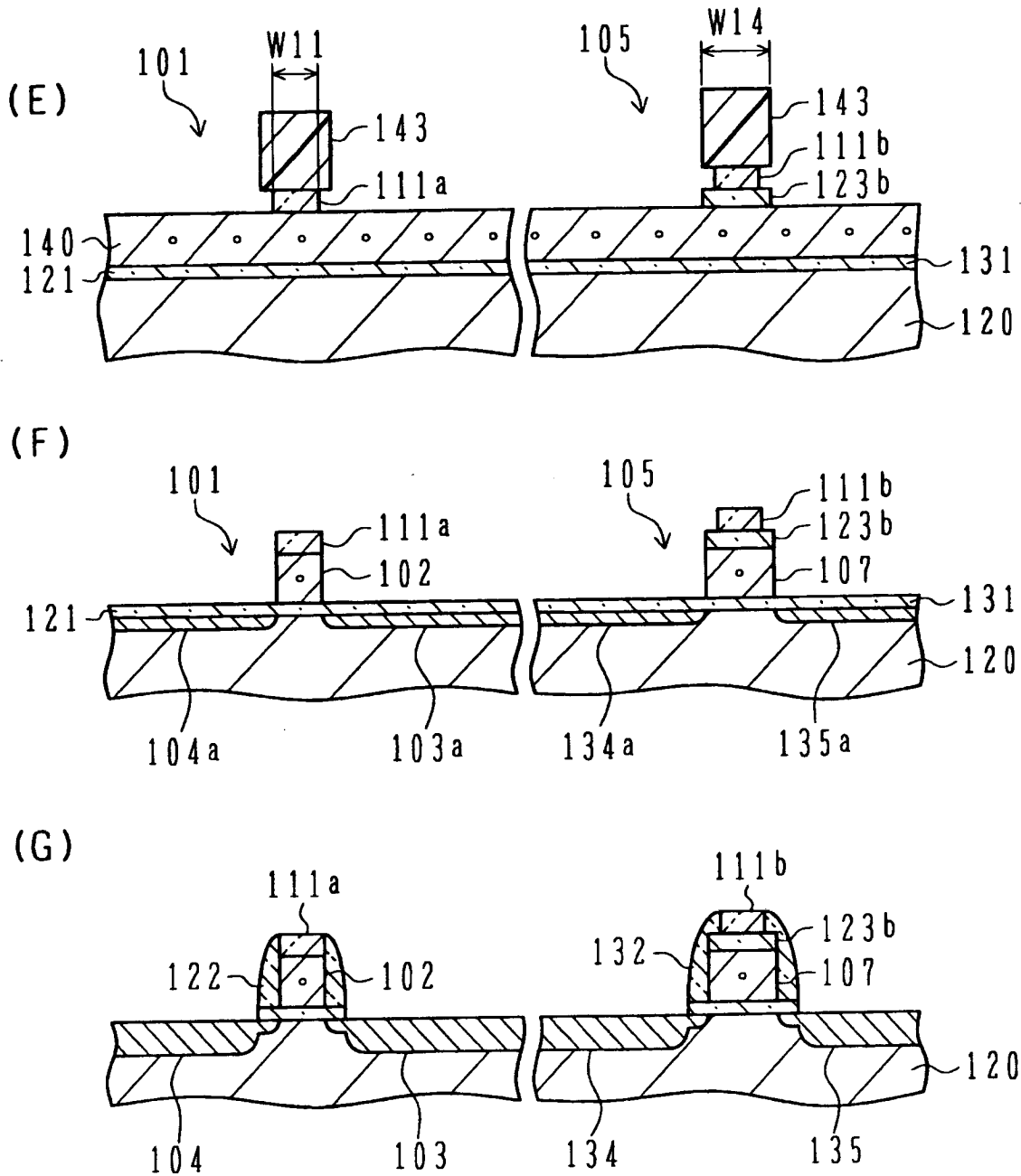
【図 7】

第 2 の実施例による半導体装置の製造方法（その 1）



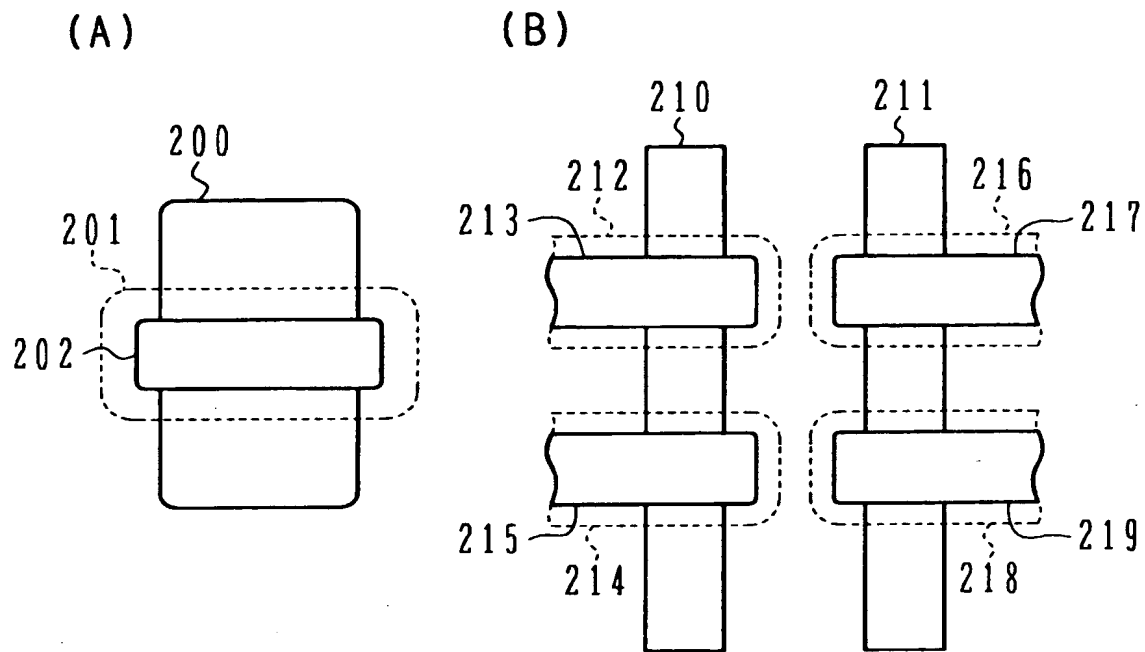
【図 8】

第 2 の実施例による半導体装置の製造方法（その 2）





【図9】



【書類名】 要約書

【要約】

【課題】 論理回路部においては F E T の高速化を図り、S R A M 部においては高集積化を図ることが可能な半導体装置の製造方法を提供する。

【解決手段】 半導体基板の表面上に、ゲート電極用導電膜を形成する。第 1 及び第 2 の領域上のゲート電極用導電膜の上に、それぞれ第 1 の絶縁材料からなる第 1 及び第 2 のゲートマスクパターンを形成する。第 1 及び第 2 のゲートマスクパターンの側壁上に、第 1 の絶縁材料とはエッチング耐性の異なる第 2 の絶縁材料からなるサイドウォールスペーサを形成する。第 2 の領域を、マスクパターンで覆い、第 1 のゲートマスクパターンの側壁上のサイドウォールスペーサを除去する。ゲート電極用導電膜をエッチングし、第 1 及び第 2 の領域上に、それぞれ第 1 及び第 2 のゲート電極を残す。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社